

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-108217

(43) 公開日 平成10年(1998) 4月24日

(51) Int.Cl.⁶

識別記号

F I

H 0 4 N 11/00

H 0 4 N 11/00

11/24

9/64

Z

7/08

7/08

Z

7/081

9/64

審査請求 有 請求項の数 3 O L (全 6 頁)

(21) 出願番号

特願平8-254515

(22) 出願日

平成 8 年(1996) 9 月26日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72) 発明者 松原 祐一

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

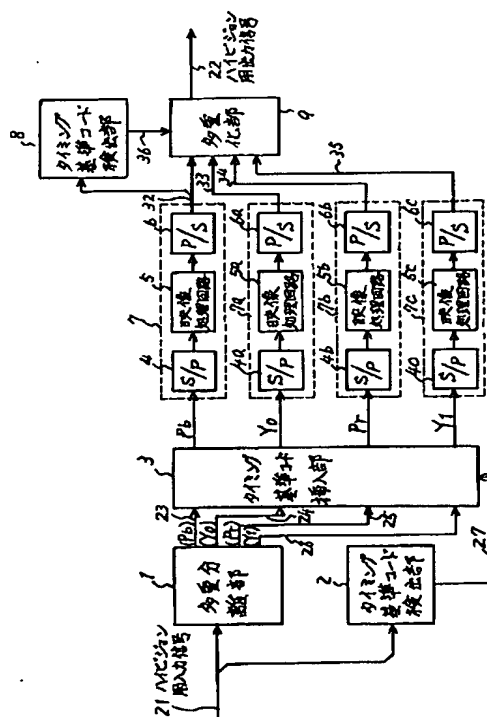
(74) 代理人 弁理士 京本 直樹 (外 2 名)

(54) 【発明の名称】 映像信号時分割回路

(57) 【要約】

【課題】ハイビジョン用映像デジタル信号の映像処理回路としてNTSC (コンポジット/コンポーネント方式) の映像処理回路を流用することができる簡易回路を提供する。

【解決手段】多重分離部1はハイビジョン用入力信号21を時分割し分割ビット信号23, 24, 25, 26を出力する。タイミング基準コード検出部2は基準コードを検出し同期出力信号27を出力する。タイミング基準コード挿入部3は分割ビット信号23, 24, 25および26に同期出力信号27を挿入する。シリアルデジタル映像処理部7, 7a, 7bおよび7cはPb, Y0, Pr, Y1の信号を映像処理する。多重化部9は映像処理信号32, 33, 34, 35を多重化しハイビジョン用出力信号22を出力する。タイミング基準コード検出部8は基準コード36を多重化部9に出力する。



【特許請求の範囲】

【請求項 1】 映像信号を 4 チャンネルに時分割するとともに、前記映像信号から検出して得られる同期信号を前記 4 チャンネルの時分割信号の各々に挿入し、これら挿入した信号の各々を映像処理した 4 チャンネルの映像信号を、前記 4 チャンネルの映像信号の一つから検出して得られる基準信号とともに多重化することを特徴とする映像信号時分割回路。

【請求項 2】 映像信号を 4 チャンネルの時分割信号として出力する時分割手段と、前記映像信号から第 1 の基準信号を検出し同期信号を出力する第 1 の基準信号検出手段と、前記時分割信号に前記同期信号を挿入する基準信号挿入手段と、この基準信号挿入手段が出力する第 1、第 2 の色差信号および第 1、第 2 の輝度信号の各々に対応して設けた映像処理手段と、これら映像処理手段が出力する各々の映像信号を多重化し出力する多重化手段と、前記映像処理手段が出力する第 1 の色差信号から前記同期信号を検出し第 2 の基準信号を前記多重化手段に出力する第 2 の基準信号検出手段と、を備えたことを特徴とする映像信号時分割回路。

【請求項 3】 前記映像処理手段が、シリアルデータをパラレルデータに変換するシリアルパラレル変換器と、前記パラレルデータを映像処理する映像処理回路と、この映像処理回路が出力するパラレルデータをシリアルデータに変換するパラレルシリアル変換器とを有することを特徴とする請求項 2 記載の映像信号時分割回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は映像信号時分割回路に関し、特にハイビジョン用ビット直列信号の映像処理を行なう映像信号時分割回路に関する。

【0002】

【従来の技術】 一般に、ハイビジョン用ビット直列信号の処理は、直接シリアルパラレル変換を行なった後、ハイビジョン専用の回路にて各種の映像処理が行なわれている。

【0003】 図 3 は従来の映像信号時分割回路を示すブロック図である。

【0004】 図 3 を参照すると、ハイビジョン用入力信号 21 のシリアルデータをパラレルデータに変換するシリアルパラレル変換器 16 と、変換したパラレルデータを映像処理する映像処理回路 17 と、映像処理されたパラレルデータをシリアルデータに変換しハイビジョン用出力信号 38 を出力するパラレルシリアル変換器 18 とから構成されている。この場合、映像処理回路 17 はハイビジョン用に専用設計されたものが必要となる。

【0005】 なお、このようなハイビジョン用映像信号回路の一例として、特開平 2-217094 号公報記載の「デジタル映像信号記録再生方法及びその装置」が知られている。この公報では、ハイビジョンの輝度信号

と色差信号とを 5 チャンネルに分割して、ハイビジョンスタジオ規格信号の 1/2 のデータレートに変換しビデオ装置にデジタル記録する技術が記載されている。

【0006】 ハイビジョン用映像デジタル信号のビットレートは、1.485 Gbps であり、そのままシリアルパラレル変換すると輝度信号は 74.25 MHz、色差信号は 37.125 MHz のサンプリングレートとなるため、この高速の輝度信号を処理するためには専用回路が必要となる。

【0007】

【発明が解決しようとする課題】 上述した従来の映像信号時分割回路は、高速の信号処理にハイビジョン用の専用回路が新規に必要となりかつ回路構成が複雑化するため、経済性を損なうという欠点を有している。

【0008】 本発明の目的は、ハイビジョン用映像デジタル信号の映像処理回路として、現在使用の NTSC (コンポジット/コンポーネント方式) の映像処理回路を流用することができる簡易回路構成の信号時分割回路を提供することにある。

【0009】

【課題を解決するための手段】 本発明の映像信号時分割回路は、映像信号を 4 チャンネルに時分割するとともに、前記映像信号から検出して得られる同期信号を前記 4 チャンネルの時分割信号の各々に挿入し、これら挿入した信号の各々を映像処理した 4 チャンネルの映像信号を、前記 4 チャンネルの映像信号の一つから検出して得られる基準信号とともに多重化することを特徴としている。

【0010】 映像信号を 4 チャンネルの時分割信号として出力する時分割手段と、前記映像信号から第 1 の基準信号を検出し同期信号を出力する第 1 の基準信号検出手段と、前記時分割信号に前記同期信号を挿入する基準信号挿入手段と、この基準信号挿入手段が出力する第 1、第 2 の色差信号および第 1、第 2 の輝度信号の各々に対応して設けた映像処理手段と、これら映像処理手段が出力する各々の映像信号を多重化し出力する多重化手段と、前記映像処理手段が出力する第 1 の色差信号から前記同期信号を検出し第 2 の基準信号を前記多重化手段に出力する第 2 の基準信号検出手段と、を備えたことを特徴としている。

【0011】 また、前記映像処理手段が、シリアルデータをパラレルデータに変換するシリアルパラレル変換器と、前記パラレルデータを映像処理する映像処理回路と、この映像処理回路が出力するパラレルデータをシリアルデータに変換するパラレルシリアル変換器とを有することを特徴としている。

【0012】

【発明の実施の形態】 次に、本発明の実施の形態について図面を参照して説明する。

【0013】 図 1 は本発明の映像信号時分割回路の一つ

の実施の形態を示すブロック図である。

【0014】図1に示す本実施の形態は、ハイビジョン用入力信号21を時分割し分割ビット信号23, 24, 25, および26を出力する多重分離部1と、タイミング基準コードを検出し同期出力信号27を出力するタイミング基準コード検出部2と、分割ビット信号23, 24, 25および26に同期出力信号27を挿入するタイミング基準コード挿入部3と、この基準コード挿入部3が出力する分割シリアル信号Pb, Y0, PrおよびY1を映像処理するシリアルディジタル映像処理部7, 7a, 7bおよび7cと、これら各々のシリアルディジタル映像処理部7, 7a, 7bおよび7cが出力する映像処理信号32, 33, 34および35を多重化しハイビジョン用出力信号22を出力する多重化部9と、タイミング基準コード36を多重化部9に出力するタイミング基準コード検出部8とから構成されている。

【0015】なお、図1において図3に示す構成要素に対応するものは同一の参照数字または符号を付し、その説明を省略する。

【0016】図2は本実施の形態の動作を説明するタイムチャートである。

【0017】次に、図1および図2を参照して本実施の形態の動作をより詳細に説明する。

【0018】ハイビジョン用入力信号21であるビットレート1.485 Gbpsのシリアルデータは、多重分離部1により4チャンネルの分割ビット信号23, 24, 25, 26に分割される。各々の信号のビットレートは371 Mbpsとなる。

【0019】ハイビジョン用入力信号21はタイミング基準コード検出部2にも出力され、同期信号の検出およびライン情報の抽出を行なう。同期信号の検出はハイビジョン用入力信号21に含まれている16進表示のデータ“3FF”, “3FF”, “000”, “000”, “000”, “000”の各10ビット×6=60ビットの並びを検出する事により行なわれる。

【0020】16進表示なので、例えば“3FF”はバイナリーとして“1111111111”を示す。

“0”はローレベルを“1”はハイレベルを示す。

【0021】ここでディジタルデータのフレーム構成（以下ディジタルラインと記す）は、1ディジタルライン4400Ts（Tsはタイムスロットで1Ts=1/2・T；T=13.468ns）は、ディジタルブランキング期間（560Ts）とデータであるディジタル有効ライン（3840Ts）とから構成される。

【0022】同期信号はハイビジョン用入力信号21の中に、1ディジタルライン中に2度出現し、それぞれ多重EAV10、多重SAV14と呼称される。同期信号を検出すると継続するデータ群“XYZ”データを抽出しディジタルライン情報を得る。この“XYZ”データは16進表示ではなく単にデータ名称を示し、映像信号

の第1フィールド／第2フィールドの識別、フィールドブランキング期間／その他の期間の識別、SAV/EAVの識別の情報が含まれている。多重分離部1から出力された分割ビット信号23, 24, 25, 26には同期信号が含まれていないため同期信号を新規に挿入する必要がある。

【0023】この挿入処理は、タイミング基準コード挿入部3で、タイミング基準コード検出部2が出力する同期出力信号27により行なわれることになる。このとき挿入される同期信号は、多重EAV10についてはタイミング基準コード検出部2で検出・抽出された“3FF”, “000”, “000”, “XYZ”の4ワードからなる同期信号であり、多重SAVについてはタイミング基準コード検出部2で検出・抽出された“3FF”, “000”の2ワードからなる同期信号が挿入される。多重SAV14に“XYZ”の情報を挿入しないのは多重EAV10に挿入された“XYZ”の情報から容易に多重SAV14の“XYZ”の情報が生成されるためである。

【0024】タイミング基準コード挿入部3から出力される4本の分割シリアル信号Pb, Y0, Pr, Y1にはそれぞれに同期信号が挿入されているので、各信号毎に同期分離および映像処理が可能となる。

【0025】シリアルディジタル映像処理部7, 7a, 7b, 7cは、各々シリアルパラレル変換器4, 4a, 4b, 4cと、映像処理回路5, 5a, 5b, 5cと、パラレルシリアル変換器6, 6a, 6b, 6cとを有している。

【0026】シリアルディジタル映像処理部7, 7a, 7b, 7cは、入出力信号のビットレートが371 Mbpsであるため、従来使用のNTSC用シリアルディジタル映像処理部との共用が可能である。つまりNTSC用シリアルディジタル信号のビットレートは、コンポジット信号の場合、通常の13.5MHzサンプリングの場合で270Mbps、18MHzサンプリングの場合で360Mbpsであるため、ほぼ同一周波数帯域なのでNTSCで使用されている映像処理回路で処理が可能となる。

【0027】このことは従来使用のNTSC用シリアルディジタル映像処理部の手段を流用して、ハイビジョン映像信号の映像処理が可能であることを示しており、回路の簡素化と資源の流用が行なえることを示す。

【0028】分割シリアル信号Pb, Y0, Pr, Y1はシリアルディジタル映像処理部7, 7a, 7b, 7cにより映像処理が行なわれた後、多重化部9に出力され、元のハイビジョン用信号に戻され、ハイビジョン用出力信号22として出力される。このとき、分割シリアル信号Pb, Y0, Pr, Y1のうち分割シリアル信号Pbに対応する映像処理信号32のみがタイミング基準コード検出部8に出力され、同期信号である“3F

F", "000", "000", "XYZ" の4ワードの多重EAV10および"3FF", "000"の2ワードの多重SAV14の同期信号が検出される。

【0029】また、タイミング基準コード検出部8では、検出した多重EAV10、多重SAV14により映像信号のライン番号データの再生成を行なう。タイミング基準コード検出部8で抽出された多重EAV10、多重SAV14のデータおよび再生成された映像信号の多重ライン番号データ11は、映像処理信号32, 33, 34, 35が多重化部9で合成されるときにタイミング基準コード36として挿入される。

【0030】図2を参照すると、(A)はハイビジョン用映像信号の規格化したデータ形式を示す。ただし、10ビットを1ワードとしてワード単位で表記している(図ではワードをTsとして表記)。

【0031】ここで、(A)の信号を時間軸方向に4分割し、多重EAV10、多重ライン番号データ11、多重誤り検出符号データ12、多重補助データ/未定義ワードデータ13、多重SAV14についてのみ、"3FF", "000", "000", "XYZ" および "3FF", "000" のデータに設定したものが、それぞれ(B)のPbデータ、(C)のY0データ、(D)のPrデータ、(E)のY1データに含まれる。

【0032】(B), (C), (D), (E)の信号における"3FF", "000", "000", "XYZ"の期間のデータは、信号(A)の多重EAV10のデータであり、これら"3FF", "000", "000", "XYZ"のデータをそのまま挿入している。このデータの挿入により信号(A)の多重ライン番号データ11および多重誤り検出符号データ12の情報は無くなるが、これら情報は"XYZ"の情報により容易に再生できる。

【0033】なお、分割された(B), (C), (D), (E)の信号はそれぞれ単独に同期信号を有するため、映像処理部で個別に同期分離が行なわれるため、個別処理が可能となる。また、多重補助データ/未定義ワードデータ13およびデジタル有効ライン15については、(A)の信号を(B), (C), (D), (E)の信号にそれぞれ時分割して挿入している。

【0034】上述のように、ハイビジョン用入力信号21を時分割した後に、タイミング用のタイミング基準コード36を挿入するように構成している。

【0035】

【発明の効果】以上説明したように、本発明の映像信号時分割回路はハイビジョン用映像信号をシリアルデジタルデータのまま時間軸方向に4分割し、371Mbpsのシリアルデジタル信号4チャンネルの信号として得ることができるので、NTSC用のシリアルデジタル信号の映像処理部がそのまま流用できるという経済性に優れた効果を有している。

【図面の簡単な説明】

【図1】本発明の映像信号時分割回路の一つの実施の形態を示すブロック図である。

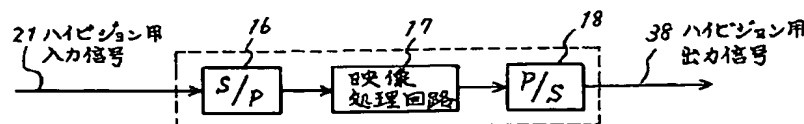
【図2】図2は本実施の形態の動作を説明するタイムチャートである。

【図3】従来の映像信号時分割回路を示すブロック図である。

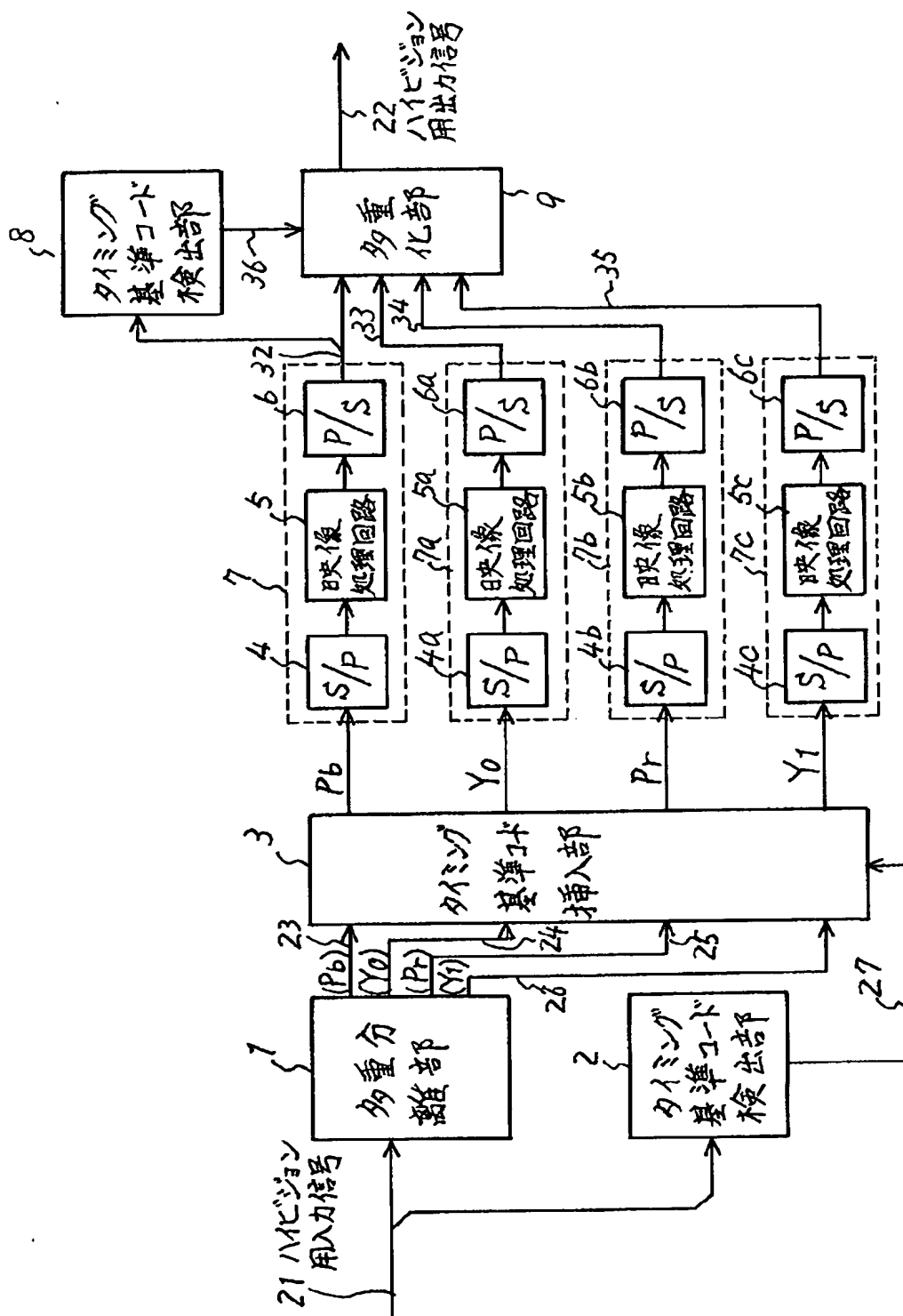
【符号の説明】

- | | |
|----------------|-------------------|
| 1 | 多重分離部 |
| 2 | タイミング基準コード検出部 |
| 3 | タイミング基準コード挿入部 |
| 4, 4a, 4b, 4c | シリアルパラレル変換器 |
| 5, 5a, 5b, 5c | 映像処理回路 |
| 6, 6a, 6b, 6c | パラレルシリアル変換器 |
| 7, 7a, 7b, 7c | シリアルデジタル映像処理部 |
| 8 | タイミング基準コード検出部 |
| 9 | 多重化部 |
| 10 | 多重EAV |
| 11 | 多重ライン番号データ |
| 12 | 多重誤り検出符号データ |
| 13 | 多重補助データ/未定義ワードデータ |
| 14 | 多重SAV |
| 15 | デジタル有効ライン |
| 16 | シリアルパラレル変換器 |
| 17 | 映像処理回路 |
| 18 | パラレルシリアル変換器 |
| 21 | ハイビジョン用入力信号 |
| 22 | ハイビジョン用出力信号 |
| 23, 24, 25, 26 | 分割ビット信号 |
| 27 | 同期出力信号 |
| 32, 33, 34, 35 | 映像処理信号 |
| 36 | タイミング基準コード |

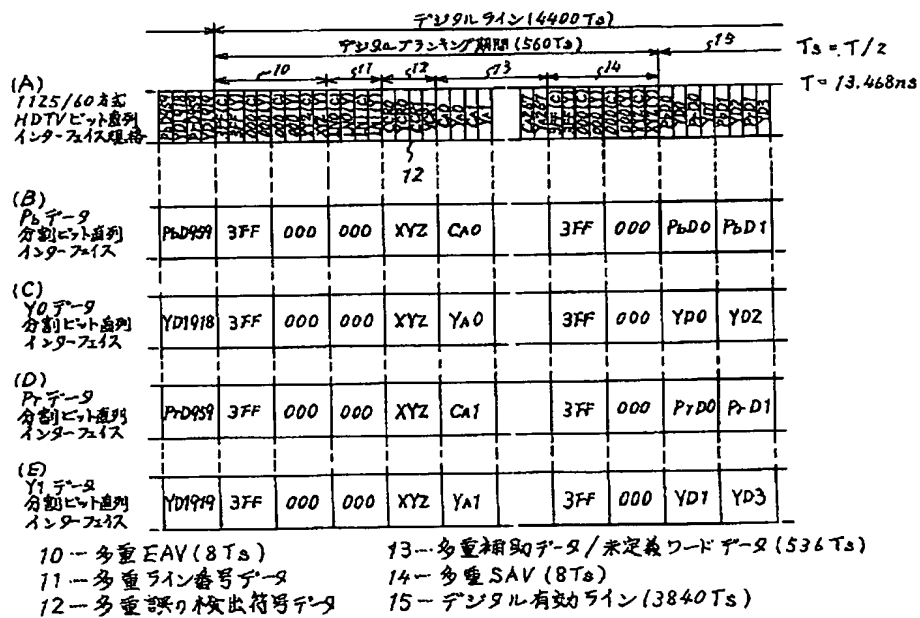
【図3】



【図1】



【図2】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-108217

(43)Date of publication of application : 24.04.1998

(51)Int.Cl. H04N 11/00
H04N 11/24
H04N 7/08
H04N 7/081
H04N 9/64

(21)Application number : 08-254515 (71)Applicant : NEC CORP

(22)Date of filing : 26.09.1996 (72)Inventor : MATSUBARA YUICHI

(54) VIDEO SIGNAL TIME DIVISION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a simple circuit in which an NTSC (composite/component system) video processing circuit is adopted as a video signal processing circuit for a high-vision video digital signal.

SOLUTION: A demultiplexer section 1 applies time division to a high-vision input signal 21 to output time division bit signals 23242526. A timing reference code detection section 2 detects a reference code to output a synchronizing output signal 27. A timing reference code insert section 3 inserts the synchronizing output signal 27 to the time division bit signals 23242526. Serial digital video processing sections 77a7b7c apply video image processing to signals PbY0PrY1. A multiplexer section 9 multiplexes video processing signals 32333435 to output a high-vision output signal 22. A timing reference code detection section 8 outputs a reference code 36 to the multiplexer section 9.

CLAIMS

[Claim(s)]

[Claim 1]While carrying out the time sharing of the video signal to four channels a synchronized signal produced from said video signal by detecting is inserted in each of said time division signals of four channelsA video-signal time sharing circuit multiplexing a video signal of four channels which carried out graphic processing of each of a these-inserted signal with a reference signal acquired by detecting from one of said the video signals of four channels.

[Claim 2]A video-signal time sharing circuit comprising:

A time sharing means to output a video signal as time division signals of four

channels.

The 1st reference signal detection means that detects the 1st reference signal from said video signal and outputs a synchronized signal.

A reference signal inserting means which inserts said synchronized signal in said time division signals.

A graphic processing means formed corresponding to each of the 1st and 2nd color-difference signal and the 1st and 2nd luminance signal which this reference signal inserting means outputs. A multiplexing means which multiplexes and outputs each video signal which these graphic processing means outputs and the 2nd reference signal detection means that detects said synchronized signal from the 1st color-difference signal that said graphic processing means outputs and outputs the 2nd reference signal to said multiplexing means.

[Claim 3] The video-signal time sharing circuit comprising according to claim 2:

A serial-parallel-conversion machine from which said graphic processing means changes serial data into parallel data.

A graphic processing circuit which carries out graphic processing of said parallel data.

A parallel serial converter which changes into serial data parallel data which this graphic processing circuit outputs.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the video-signal time sharing circuit which performs graphic processing of the bit serial signal for Hi-Vision about a video-signal time sharing circuit.

[0002]

[Description of the Prior Art] Generally after processing of the bit serial signal for Hi-Vision performs serial parallel conversion directly various kinds of graphic processings are performed in the circuit only for Hi-Vision.

[0003] Drawing 3 is a block diagram showing the conventional video-signal time sharing circuit.

[0004] The serial-parallel-conversion machine 16 which will change the serial data of the input signal 21 for Hi-Vision into parallel data if drawing 3 is referred to it comprises the graphic processing circuit 17 which carries out graphic processing of the changed parallel data and the parallel serial converter 18 which changes into serial data the parallel data by which graphic processing was carried out and outputs the output signal 38 for Hi-Vision. In this case that by which the exclusive design of the graphic processing circuit 17 was carried out for Hi-Vision is needed.

[0005] "Digital video signal recording and reproducing systems and its device"

given in JP2-217094A are known as an example of such picture signal circuitry for Hi-Vision. In this gazette the luminance signal and color-difference signal of Hi-Vision are divided into five channels and the art which is changed into one half of the data rates of a Hi-Vision studio standard signal and carries out digital recording to a video device is indicated.

[0006] The bit rate of the image digital signal for Hi-Vision is 1.485 Gbps.

Since a luminance signal will serve as a sampling rate with 74.25 MHz and a color-difference signal will serve as a sampling rate of 37.125 MHz if serial parallel conversion is then carried out in order to process this high-speed luminance signal a dedicated communication circuit is needed.

[0007]

[Problem(s) to be Solved by the Invention] Since the dedicated communication circuit for Hi-Vision is newly needed for high-speed signal processing and circuitry is complicated the conventional video-signal time sharing circuit mentioned above has the fault of spoiling economical efficiency.

[0008] The purpose of this invention is to provide the signal time sharing circuit of the simple circuitry which can divert the graphic processing circuit of NTSC (a composite / component method) of the present use as a graphic processing circuit of the image digital signal for Hi-Vision.

[0009]

[Means for Solving the Problem] While a video-signal time sharing circuit of this invention carries out the time sharing of the video signal to four channels a synchronized signal produced by detecting from said video signal is inserted in each of said time division signals of four channels. It is characterized by multiplexing a video signal of four channels which carried out graphic processing of each of a these-inserted signal with a reference signal acquired by detecting from one of said the video signals of four channels.

[0010] A time sharing means to output a video signal as time division signals of four channels. The 1st reference signal detection means that detects the 1st reference signal from said video signal and outputs a synchronized signal. A reference signal inserting means which inserts said synchronized signal in said time division signals and a graphic processing means formed corresponding to each of the 1st and 2nd color-difference signal and the 1st and 2nd luminance signal which this reference signal inserting means outputs. It is characterized by having a multiplexing means which multiplexes and outputs each video signal which these graphic processing means outputs and the 2nd reference signal detection means that detects said synchronized signal from the 1st color-difference signal that said graphic processing means outputs and outputs the 2nd reference signal to said multiplexing means.

[0011] A serial-parallel-conversion machine from which said graphic processing means changes serial data into parallel data. It is characterized by having a graphic processing circuit which carries out graphic processing of said parallel data and a parallel serial converter which changes into serial data parallel data which this

graphic processing circuit outputs.

[0012]

[Embodiment of the Invention]Nextan embodiment of the invention is described with reference to drawings.

[0013]Drawing 1 is a block diagram showing one embodiment of the video-signal time sharing circuit of this invention.

[0014]The demultiplexing part 1 which this embodiment shown in drawing 1 carries out the time sharing of the input signal 21 for Hi-Visionand outputs the division bit signals 232425and 26The timing-basis code primary detecting element 2 which detects a timing-basis code and outputs the synchronizing output signal 27The timing-basis code insert portion 3 which inserts the synchronizing output signal 27 in the division bit signals 232425and 26The serial digital video treating parts 77a7band 7c which carry out graphic processing of the division serial signal Pb which this reference code insert portion 3 outputsY0Prand Y1with the multiplexing part 9 which multiplexes the graphic processing signals 323334and 35 which the serial digital video treating parts 77a7band 7c of these each outputand outputs the output signal 22 for Hi-Vision. It comprises the timing-basis code primary detecting element 8 which outputs the timing-basis code 36 to the multiplexing part 9.

[0015]The thing corresponding to the component shown in drawing 3 in drawing 1 attaches the same reference number or numeralsand omits the explanation.

[0016]Drawing 2 is a time chart explaining operation of this embodiment.

[0017]Nextwith reference to drawing 1 and drawing 2operation of this embodiment is explained more to details.

[0018]The bit rate 1.485Gbps serial data which are the input signals 21 for Hi-Vision are divided into the division bit signals 232425and 26 of four channels by the demultiplexing part 1. The bit rate of each signal serves as 371Mbps.

[0019]The input signal 21 for Hi-Vision is outputted also to the timing-basis code primary detecting element 2and performs detection of a synchronized signaland extraction of line information. Detection of a synchronized signal is performed by detecting the row (10 bits each x 6= 60 bits) of the data "3FF" of the hexadecimal display included in the input signal 21 for Hi-Vision3FF000000000and "000."

[0020]Since it is a hexadecimal display3FFshows "111111111" as binaryfor example. "0" shows a low level and "1" shows high level.

[0021]Here the frame structure (it is described as a digital line below) of digital data1 digital line 4400Ts (Ts is 1Ts=1/2 and T;T=13.468ns at a time slot) comprises a digital blanking period (560Ts) and a digital effective line (3840Ts) which is data.

[0022]In the input signal 21 for Hi-Visiona synchronized signal appears twice all over 1 digital lineand is called multiplex EAV10 and multiplex SAV14respectively. The data constellation "XYZ" data which will be continued if a synchronized signal is detected is extractedand digital line information is acquired. This "XYZ" data is not a hexadecimal displaya data name is only shownand the information on discernment of the 1st field / the 2nd field of a video signaldiscernment of field

blanking period/and other periodsand discernment of SAV/EAV is included. Since the synchronized signal is not contained in the division bit signals 232425and 26 outputted from the demultiplexing part 1it is necessary to insert a synchronized signal newly.

[0023]This insertion will be performed by the synchronizing output signal 27 which is the timing-basis code insert portion 3and the timing-basis code primary detecting element 2 outputs. The synchronized signal inserted at this time is a synchronized signal which consists of 4 words of "3FF"000000and "XYZ" which were detected and extracted about multiplex EAV10 in the timing-basis code primary detecting element 2About multiplex SAVthe synchronized signal which consists of 2 words of "3FF" and "000" which were detected and extracted in the timing-basis code primary detecting element 2 is inserted. The information on "XYZ" is not inserted in multiplex SAV14 because the information on "XYZ" of multiplex SAV14 is easily generated from the information on "XYZ" inserted in multiplex EAV10.

[0024]Since the synchronized signal is inserted in the four division serial signals Pb outputted from the timing-basis code insert portion 3Y0Prand Y1 at eachsynchronizing separation and graphic processing become possible for every signal.

[0025]The serial digital video treating parts 77a7band 7c are provided with the following.

They are the serial-parallel-conversion machines 44a4band 4c respectively.

Graphic processing circuits 55a5band 5c.

Parallel serial converters 66a6band 6c.

[0026]Since the bit rate of an input output signal is 371Mbpscommon use with the serial digital video treating part for NTSC of the conventional use is possible for the serial digital video treating parts 77a7band 7c. That isthe bit rate of the serial digital signal for NTSCSince it is [in the case of a component signal / in the case of the usual 13.5 MHz sampling] 360Mbps in the case of 270Mbps and an 18-MHz samplingand it is the same frequency band mostlyprocessing becomes possible in the graphic processing circuit currently used by NTSC.

[0027]This diverts the means of the serial digital video treating part for NTSC of use conventionallyand shows that the graphic processing of a Hi-Vision video signal is possibleand it is shown that simplification of a circuit and appropriation of resources can be performed.

[0028]After graphic processing is performed by the serial digital video treating parts 77a7band 7cthe division serial signal PbY0Prand Y1 are outputted to the multiplexing part 9are returned to the original signal for Hi-Visionand are outputted as the output signal 22 for Hi-Vision. At this timeonly the graphic processing signal 32 corresponding to the division serial signal Pb is outputted to the timing-basis code primary detecting element 8 the division serial signal PbY0Prand among Y1The 2-word synchronized signal of multiplex SAV14 of multiplex EAV10 and "3FF" 4-word of "3FF"000000and "XYZ" which are synchronized signalsand

"000" is detected.

[0029]In the timing-basis code primary detecting element 8multiplex EAV10 detected and multiplex SAV14 perform regeneration of the line number data of a video signal. The data of multiplex EAV10 extracted in the timing-basis code primary detecting element 8 and multiplex SAV14 and the multiplex line number data 11 of a video signal by which regeneration was carried out are inserted as the timing-basis code 36when the graphic processing signals 323334and 35 are compounded by the multiplexing part 9.

[0030]When drawing 2 is referred to(A) shows the data format which the video signal for Hi-Vision standardized. However10 bits was 1 word and it has written by word units (by a diagrama word is set to T and it is a notation).

[0031]Quadrisection the signal of (A) into a time base directionand here only about multiplex EAV10multiplex line number data 11multiple-error detected code data 12multiplex ancillary data / undefined word data 13and multiplex SAV14. What was set as the data of "3FF"000000XYZand "3FF"and "000" is contained in Pb data of (B)Y0 data of (C)Pr data of (D)and Y1 data of (E)respectively.

[0032]The data of the period of "3FF" in the signal of (B)(C)(D)and (E)000000and "XYZ" is data of multiplex EAV10 of a signal (A)and is inserting the data of these "3FF"000000and "XYZ" as it is. Although the information on the multiplex line number data 11 of a signal (A) and the multiple-error detected code data 12 is lost by insertion of this data these information is easily renewable using the information on "XYZ."

[0033]Since it has a synchronized signal independentlyrespectively and synchronizing separation is individually performed in a graphic processing partindividual processing of the divided signal of (B)(C)(D)and (E) becomes possible. About multiplex ancillary data / undefined word data 13and the digital effective line 15the time sharing of the signal of (A) is carried out to the signal of (B)(C)(D)and (E)respectivelyand it is inserted.

[0034]As mentioned aboveafter carrying out the time sharing of the input signal 21 for Hi-Visionit constitutes so that the timing-basis code 36 for timing may be inserted.

[0035]

[Effect of the Invention]As explained abovethe video-signal time sharing circuit of this invention quadrisection the video signal for Hi-Vision into a time base direction with serial digital dataSince it can obtain as a signal of four serial digital signals of 371Mbpsit has the effect excellent in the economical efficiency in which the graphic processing part of the serial digital signal for NTSC can divert as it is.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a block diagram showing one embodiment of the video-signal time sharing circuit of this invention.

[Drawing 2] Drawing 2 is a time chart explaining operation of this embodiment.

[Drawing 3] It is a block diagram showing the conventional video-signal time sharing circuit.

[Description of Notations]

- 1 Demultiplexing part
 - 2 Timing-basis code primary detecting element
 - 3 Timing-basis code insert portion
 - 4a4b4c serial-parallel-conversion machine
 - 5a5band 5c Graphic processing circuit
 - 6a6b6c parallel serial converter
 - 7a7band 7c Serial digital video treating part
 - 8 Timing-basis code primary detecting element
 - 9 Multiplexing part
 - 10 Multiplex EAV
 - 11 Multiplex line number data
 - 12 Multiple-error detected code data
 - 13 Multiplex ancillary data / undefined word data
 - 14 Multiplex SAV
 - 15 Digital effective line
 - 16 Serial-parallel-conversion machine
 - 17 Graphic processing circuit
 - 18 Parallel serial converter
 - 21 The input signal for Hi-Vision
 - 22 The output signal for Hi-Vision
 - 23242526 division bit signals
 - 27 Synchronizing output signal
 - 323334and 35 Graphic processing signal
 - 36 Timing-basis code
-